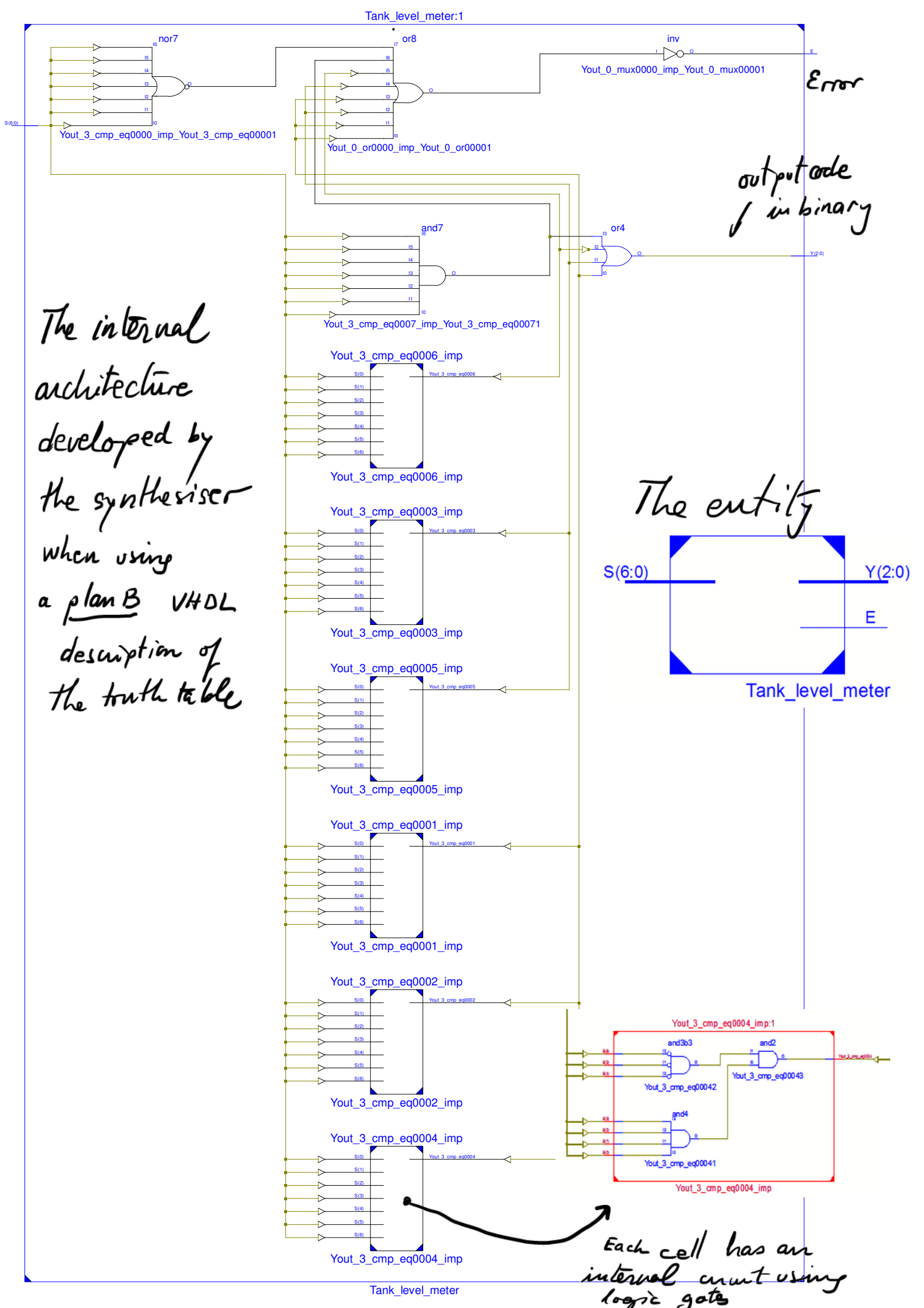
Tank_level_meter:1
nor7
or8
inv
Yout_0_mux0000_imp_Yout_0_mux00001
Error
S(6:0)
Yout_3_cmp_eq0000_imp_Yout_3_cmp_eq00001
Yout_0_or0000_imp_Yout_0_or00001
output code in binary
and7
or4
Y(2:0)
Yout_3_cmp_eq0007_imp_Yout_3_cmp_eq00071
The internal architecture developed by the synthesiser when using a plan B VHDL description of the truth table
Yout_3_cmp_eq0006_imp
Yout_3_cmp_eq0006_imp
Yout_3_cmp_eq0003_imp
Yout_3_cmp_eq0003_imp
Yout_3_cmp_eq0005_imp
Yout_3_cmp_eq0005_imp
Yout_3_cmp_eq0001_imp
Yout_3_cmp_eq0001_imp
Yout_3_cmp_eq0002_imp
Yout_3_cmp_eq0002_imp
Yout_3_cmp_eq0004_imp
Yout_3_cmp_eq0004_imp
The entity
S(6:0)
Y(2:0)
E
Tank_level_meter
Yout_3_cmp_eq0004_imp:1
and3b3
and2
Yout_3_cmp_eq00042
Yout_3_cmp_eq00043
and4
Yout_3_cmp_eq00041
Yout_3_cmp_eq0004_imp
Each cell has an internal circuit using logic gates
Tank_level_meter